

## 明 細 書

### 半導体スイッチ回路

### 技術分野

- [0001] この発明は例えば半導体デバイス試験装置等に利用して好適な半導体スイッチ回路に関し、特にリーク電流が外部に洩れることがない半導体スイッチ回路に関する。

### 背景技術

- [0002] 半導体デバイス試験装置では半導体デバイスの各端子(以下ピンと称す)の直流特性を試験するために電圧値の異なる電圧・電流発生器を多数用意し、この多数の電圧、電流発生器の出力をマトリクス回路を通じて被試験デバイスの各ピンに選択的に印加し、各ピンに任意の電圧を印加して直流試験を行う方法を採用している。

図7に周知のマトリクス回路を用いた半導体デバイス試験装置の構成を示す。電圧・電流発生器群10は各種の電圧V1、V2、V3、V4を出力し、マトリクス回路20の入力端子IN1～IN4にこれらの電圧V1～V4を印加する。マトリクス回路20はスイッチSをマトリクス状に配置し、いずれか1つのスイッチSを選択的にオンの状態に制御し、出力端子OUT1～OUT4の内の1つに電圧V1～V4の内の1つを選択的に出力する。

- [0003] マトリクス回路20の出力端子OUT1～OUT4には被試験半導体デバイス30の各ピンP1～P4が接続され、各ピンP1～P4に電圧V1～V4の任意の電圧を印加し、各ピンの直流特性を測定する。

つまり、マトリクス回路20の存在により各ピンP1～P4の何れにも電圧V1～V4のどの電圧も印加することができる構造とされ、各電圧V1～V4の印加状態における電流を測定し、その電流が予め予定した値の範囲に入っているか否かを試験する電圧印加電流測定試験と、各ピンP1～P4に所定の電流を流し、その電流の印加状態で各ピンP1～P4に所定の電圧が発生するか否かを試験する電流印加電圧測定試験が行われる。

- [0004] 図7に示したマトリクス回路20において、スイッチSがオンになっている線同士は同電位に保持されるが、オフの状態にあるスイッチSには各電圧V1～V4に相当する

電位差が与えられる。このため、例えばFET(電界効果トランジスタ)、或は発光素子と受光素子とによって構成されるフォトモスリレー等で構成される半導体スイッチをマトリックス回路20を構成するスイッチSに適用したとすると、電位差が与えられている交点部分の半導体スイッチにはリーク電流が発生し、そのリーク電流が測定誤差を与える不都合が生じる。

[0005] 図8に従来の半導体スイッチ回路の構成を示す。図8Aは入力端子INと出力端子OUTとの間が導通している状態、図8Bは入力端子INと出力端子OUTとの間が非導通の状態を示している。半導体スイッチS1、S2、S3はそれぞれFET或は発光素子と受光素子とで構成されるフォトモスリレーなどの半導体スイッチが用いられる。図8Aに示すスイッチS1、S2がオン、スイッチS3がオフの状態では、オフの状態にある半導体スイッチS3に入力端子INに印加される電圧VMが印加され、この電圧VMの印加により半導体スイッチS3にリーク電流IRが流れる。

[0006] 一方、図8Bに示す半導体スイッチS1とS2がオフ、スイッチS3がオンの状態では、入力端子INと出力端子OUTとの間は開放され、入力端子INに供給される電圧は出力端子に出力されない。この場合半導体スイッチS1とS2に入力端子INに与えられている電圧VMが2分割されて与えられるから、この2分割された電圧により半導体スイッチS1、S2にリーク電流IR1、IR2が流れる。

図8Aに示すリーク電流IR及び図8Bに示すリーク電流IR1、IR2は共に入力端子IN又は出力端子OUTを通じて外部に流れ出すか、又は外部から吸い込むことによって半導体スイッチS3又はS1、S2を流れる。従って、図8に示す従来の半導体スイッチ回路を図7に示したマトリックス回路20に適用した場合には半導体スイッチ回路を流れるリーク電流が測定誤差を発生させる不都合が生じる。

[0007] 特に、図7では4入力端子と4ピン分の出力端子を持ったマトリクス回路構造を示したが、現実の半導体デバイス試験装置には4個以上の電圧・電流発生器群に連なる入力端子と、被試験半導体デバイス30のピン数分の出力端子とを具備したマトリックス回路を必要とし、マトリックス回路の規模は大きい。つまり、実際のマトリックス回路に使われるスイッチSの数は多く、これに伴ってオフの状態にあるスイッチの、それぞれにリーク電流が発生すると、そのリーク電流の和の量は大きくなり、大きな誤差とな

る。

従来はリーク電流の影響を回避するために機械式接点リレーを使わざるを得なかった。更に、実際にはリレー接点の寿命から水銀リレーを用いることになっていた。然し乍ら、水銀リレーは環境問題で今後使用が制限されることと、水銀リレーは取り付け姿勢に制限があるために、マトリクス回路20を被試験半導体デバイス30の近くに配置されるテストヘッドに実装することは難しく、試験装置本体側に設置しなければならないため、マトリクス回路20とテストヘッドとの間を長いケーブルで接続しなければならなかった。

## 発明の開示

### 発明が解決しようとする課題

- [0008] 解決しようとする課題は、水銀リレーの使用を止め、リーク電流が不可避の半導体スイッチを用いて、斯かるリーク電流の影響を小さくすることができ、然も実装位置に制限を受けないマトリクス回路を構成することができる半導体スイッチ回路を提供することである。

### 課題を解決するための手段

- [0009] この発明の第1の観点によれば、入力端子と出力端子との間に、直列接続された第1半導体スイッチ、第2半導体スイッチ、第3半導体スイッチを挿入し、一端が上記入力端子に接続され他端が第2半導体スイッチの一端に接続された第1半導体スイッチ及び一端が第2半導体スイッチの他端に接続され、他端が上記出力端子に接続された第3半導体スイッチのそれぞれに、並列に、第1電圧印加手段及び第2電圧印加手段を接続し、スイッチ制御手段が、上記第1、第2、第3半導体スイッチを連動させてオン及びオフの状態に制御し、同時に逆モードで第1及び第2電圧印加手段を連動させてオフ及びオンの状態に制御し、スイッチ制御手段によって上記第1、第2、第3半導体スイッチが連動してオフの状態に制御されたときに、第1電圧印加手段が入力端子の電位を第1半導体スイッチと第2半導体スイッチとの接続点に印加し、第2電圧印加手段が出力端子の電位を第2半導体スイッチと第3半導体スイッチとの接続点に印加するように構成した半導体スイッチ回路を提供する。
- [0010] この発明の第2の観点によれば、入力端子と出力端子との間に、直列接続された少

なくとも2個の半導体スイッチを挿入し、上記2個の半導体スイッチのいずれか一方に並列に電圧印加手段を接続し、スイッチ制御手段がこれらの半導体スイッチを連動してオン及びオフ状態に制御し、同時に逆モードで上記電圧印加手段をオフ及びオンの状態に制御し、スイッチ制御手段によって2個の半導体スイッチが連動してオフの状態に制御されたときに、電圧印加手段が入力端子の電位又は出力端子の電位を2個の半導体スイッチの接続点に印加するように構成した半導体スイッチ回路を提供する。

- [0011] この発明の第3の観点によれば、前記第1又は第2の観点で得られた半導体スイッチ回路において、上記電圧印加手段を利得が約+1の状態に設定された直流増幅器と、この直流増幅器の出力端子と電圧印加点との間に接続され、上記半導体スイッチと逆モードで動作する電圧印加手段用半導体スイッチとによって構成する。

この発明の第4の観点によれば、前記第1又は第2の観点で得られた半導体スイッチ回路において、上記電圧印加手段を利得が約+1の状態に設定された直流増幅器と、この直流増幅器の出力端子と電圧印加点との間に接続された抵抗器とによって構成する。

- [0012] この発明の第5の観点によれば、前記第1又は第2の観点で得られた半導体スイッチ回路において、上記電圧印加手段が並列接続された半導体スイッチを、ダイオードの逆並列接続素子で構成する。

この発明の第6の観点によれば、前記第1乃至第5の観点による半導体スイッチを交点スイッチとして用いて、マトリクス回路を構成する。

この発明の第7の観点によれば、前記第6の観点によるマトリクス回路を用いて、半導体デバイス試験装置を構成する。

## 発明の効果

- [0013] この発明によれば、半導体スイッチと並列に電位印加手段を接続し、この電位印加手段により入力端子の電位及び出力端子の電位を直列接続した半導体スイッチの接続点に印加する。この電圧印加手段の電圧印加動作によりオフの状態にある半導体スイッチの両端に電位差が与えられない。この結果オフの状態でも本来であれば電位差が与えられるはずの半導体スイッチでもその電位差が与えられないため、リ

ーク電流の発生は抑えられる。従って、半導体スイッチを用いながらリーク電流の発生量が少ない半導体スイッチ回路を提供することができる。

- [0014] この結果、この発明による半導体スイッチ回路を図7に示した半導体デバイス試験装置の従来のマトリクス回路20に適用した場合、スイッチを全て半導体スイッチで構成できるから、従来使用せざるを得なかった水銀リレーによる制限が解消され、リーク電流による悪影響の発生を回避することができる改良されたマトリクス回路が得られる。

また、この改良されたマトリクス回路を、図7に示した半導体デバイス試験装置のマトリクス回路に適用した場合、斯かる改良されたマトリクス回路は、被試験半導体デバイス30を試験装置に接続するために設けられているテストヘッドに直接搭載することができ、被試験半導体デバイスとマトリクス回路20との間のケーブル長を短くでき、またマトリクス回路からリーク電流が流れ出すことはなく、測定に誤差を発生させない改良された半導体デバイス試験装置が得られる。

#### 図面の簡単な説明

- [0015] [図1]この発明に係る半導体スイッチの実施例1を示し、図1Aはこの実施例1のオン状態時の接続図、図1Bはオフ状態時の接続図。
- [図2]図2A、2Bは、図1に示した実施例1のオフ状態時の動作の説明図。
- [図3]図3Aは、この発明の実施例2のオン状態時の接続図、図3Bは、オフ状態時の接続図。
- [図4]図4Aは、この発明の実施例3のオン状態時の接続図、図4Bは、オフ状態時の接続図。
- [図5]この発明の実施例4のオフ状態時の接続図。
- [図6]この発明の実施例5のオフ状態時の接続図。
- [図7]従来のマトリクス回路を備える半導体デバイス試験装置の接続図。
- [図8]図8Aは、従来の半導体スイッチ回路のオン状態時の動作の説明図、図8Bは、オフ状態時の動作の説明図。

#### 発明を実施するための最良の形態

- [0016] 以下本発明の実施の形態を図面を参照して実施例により説明する。

## 実施例 1

[0017] 図1にこの発明の実施例1を示す。図1に示すスイッチ回路は図7で説明した一つのスイッチSに相当する。図1AはスイッチSがオンの状態、図1BはスイッチSがオフの状態を示す。

入力端子INと出力端子OUTの間に第1半導体スイッチSW1と、第2半導体スイッチSW2及び第3半導体スイッチSW3(以下単に第1スイッチ、第2スイッチ、第3スイッチと称す)を直列に接続する。これらの第1スイッチSW1、第2スイッチSW2、第3スイッチSW3はそれぞれFET或は発光素子と受光素子とによって構成されるフォトモスリレー或はその他の型式の半導体スイッチで構成される。第1スイッチSW1の一端は入力端子INに接続され、他端は第2スイッチSW2の一端に接続され、第2スイッチSW2の他端は第3スイッチSW3の一端に接続され、第3スイッチSW3の他端が出力端子OUTに接続される。

[0018] 第1スイッチSW1には並列に入力端子INの電位を第1スイッチSW1と第2スイッチSW2との接続点Jに印加する第1電圧印加手段M1を接続する。第3スイッチSW3には並列に出力端子OUTの電位を第2スイッチSW2と第3スイッチSW3との接続点Kに印加する第2電圧印加手段M2を接続する。

電圧印加手段M1とM2は、その入力端子が入力端子INまたは出力端子OUTに接続され、利得が約+1に設定され、入力インピーダンスが高い直流増幅器A1及びA2と、この直流増幅器A1及びA2の出力端子と接続点JまたはKとの間に接続された電圧印加手段用半導体スイッチSW4とSW5とによって構成することができる。

[0019] これらの電圧印加手段用半導体スイッチSW4とSW5もFET或いはその他型式の半導体スイッチ素子を用いることができる。以下これらの電圧印加手段用半導体スイッチSW4とSW5も単にスイッチSW4、SW5と称することにする。利得が+1に設定された直流増幅器としては例えば反転入力端子と非反転入力端子とを有する演算増幅器の出力端子を反転入力端子に直結した構造で実現することができる。この場合、演算増幅器としては入力インピーダンスは可及的に高い増幅器を用いることが望ましい。

SCONはスイッチ制御手段を示す。このスイッチ制御手段SCONは第1スイッチS

W1、第2スイッチSW2、第3スイッチSW3のそれぞれを連動させてオン、オフ制御すると共に、電圧印加手段M1とM2を構成するスイッチSW4とSW5を連動させてオン、オフ制御する。スイッチSW4とSW5のオン、オフ動作は第1スイッチSW1、第2スイッチSW2、第3スイッチSW3のオン、オフ動作と逆モードで動作する。

[0020] 従って、スイッチ制御手段SCONにより第1スイッチSW1、第2スイッチSW2、第3スイッチSW3が連動して全てオンの状態に制御され、同時にスイッチSW4とSW5は連動してオフの状態に制御された場合(図1A)には、入力端子INと出力端子OUTの間は第1スイッチSW1、第2スイッチSW2、第3スイッチSW3の直列接続回路で短絡され、入力端子INに与えられる電圧はそのまま出力端子OUTに出力される。尚このとき半導体スイッチSW4とSW5はオフの状態にあるが、この状態では電圧印加手段M1とM2の両端は第1スイッチSW1と第3スイッチSW3で短絡されており、同電位に維持されているからスイッチSW4とSW5にリーク電流は流れない。

[0021] 一方、第1スイッチSW1と、第2スイッチSW2と、第3スイッチSW3がオフの状態に制御され、同時にスイッチSW4とSW5がオンの状態に制御された場合(図1B)には、第1電圧印加手段M1は接続点Jに入力端子INの電位を印加し、第2電圧印加手段M2は接続点Kに出力端子OUTの電位を印加する。

この結果、第1スイッチSW1と第3スイッチSW3の各両端は同一電位に保持されこれら第1スイッチSW1と第3スイッチSW3にリーク電流は流れない。但し、ここで第2スイッチSW2の両端に入力端子INと出力端子OUTとの間に掛かる電位差が与えられ、この電位差に対応して第2スイッチSW2にリーク電流が流れることになる。

[0022] 図2Aは入力端子INが正電位 $+V$ で、出力端子OUTが $0V$ である場合のリーク電流 $I_1$ の電流通路を示す。この場合は直流増幅器A1がリーク電流 $I_1$ に相当する電流を出力し、直流増幅器A2はその電流 $I_1$ を吸い込む動作を実行する。

図2Bは入力端子INが負電位 $-V$ で、出力端子OUTが $0V$ である場合のリーク電流 $I_2$ の電流通路を示す。この場合は直流増幅器A2がリーク電流 $I_2$ に相当する電流を出力し、直流増幅器A1がその電流を吸い込む動作を実行する。このように入力端子INの電位が正電位と負電位に変化する場合には直流増幅器A1とA2は正と負の2電源で動作させる必要がある。但し、入力端子INに与えられる電圧の範囲が正電位

のみ、或は負電位のみである場合はその必要はなく、正電圧のみで動作する増幅器、又は負電圧のみで動作する増幅器でよい。

- [0023] このように、この実施例1によれば入力端子INと出力端子OUTの間に電位差が与えられた状態で第1スイッチSW1ー第3スイッチSW3がオフの状態に制御されて、第2スイッチSW2をリーク電流I1とI2が流れても、これらのリーク電流I1とI2は図2Aと図2Bに示すように、電圧印加手段M1とM2を構成する直流増幅器A1とA2の間で授受され、入力端子INと出力端子OUTを通じて外部に流れ出るか又は外部から流入することはない。つまり、測定系に誤差を与えることはない。尚、入力端子INと出力端子OUTには電圧印加手段M1とM2を構成する直流増幅器A1とA2の入力端子に流れるリーク電流が流れるが、直流増幅器A1とA2を入力インピーダンスの高い増幅器を用いることによりそのリーク電流は微少にすることができ、誤差を与えるに至ることはない。

## 実施例 2

- [0024] 図3にこの発明の実施例2を示す。この実施例では第1スイッチSW1と第3スイッチSW3をダイオードD1とD2の逆並列接続で構成した場合を示す。

スイッチ制御手段SCONにより第2スイッチSW2がオンの状態に制御され、同時にスイッチSW4とSW5がオフの状態に制御された場合(図3A)には、第1スイッチSW1、第2スイッチSW2と第3スイッチSW3の直列接続回路に入力端子INと出力端子OUTとの間に印加されている電圧が掛かる。この電圧の極性が入力端子IN側が正電位である場合は第1スイッチSW1と第3スイッチSW3を構成するダイオードD1が導通し、この導通により入力端子INに与えている電圧が出力端子OUTに出力される。また入力端子IN側が負電位である場合はダイオードD2が導通し、ダイオードD2の導通により出力端子OUTに負電位が伝達される。尚このとき半導体スイッチSW4とSW5はオフの状態にあるが、この状態では電圧印加手段M1とM2の両端は第1スイッチSW1と第3スイッチSW3のダイオードで短絡されており、同電位に維持されているからスイッチSW4とSW5にリーク電流は流れない。

- [0025] 一方、スイッチ制御手段SCONによりスイッチSW2がオフの状態に制御され、同時にスイッチSW4とSW5がオンの状態に制御された場合(図3B)には、第1スイッチS



W1と第3スイッチSW3を構成するダイオードD1とD2の並列接続回路は共にその両端間の電位が電圧印加手段によって同電位にされるので、オフの状態にされて、これら第1スイッチSW1と第3スイッチSW3にリーク電流は流れない。そして、第2スイッチSW2によって入力端子INと出力端子OUTの間は切り離された状態となり、入力端子INに与えられている電圧が出力端子OUTに出力されることはない。

- [0026] この実施例2の場合も、第1スイッチSW1〜第3スイッチSW3がオフの状態(図3B)では図1Bの場合と同様に第2スイッチSW2の両端間に入力端子INと出力端子OUTの間に印加されている電圧(+Vと0)又は(-Vと0)が与えられ、この電圧により第2スイッチSW2にリーク電流(I1又はI2)が流れるが、このリーク電流は上述したように電圧印加手段M1とM2を構成する直流増幅器A1とA2の間で授受され、外部に流れ出ることはない。(図3Bに電流経路を図2Aと2Bに準じて記入してあるので参照)
- 実施例 3

- [0027] 図4にこの発明の実施例3を示す。この実施例では電位印加手段M1とM2を構成するスイッチSW4とSW5を抵抗器Rで置き換えて構成した場合を示す。

この実施例でもスイッチ制御手段SCONにより第1スイッチSW1〜第3スイッチSW3が全てオンの状態に制御された場合(図4A)では、前述の実施例と同様に入力端子INに与えた電圧は出力端子OUTに出力される。また、電圧印加手段M1とM2の両端は第1スイッチSW1と第3スイッチSW3で短絡されており、同電位に維持されているからスイッチSW4とSW5にリーク電流は流れない。

- [0028] 一方、スイッチ制御手段SCONにより第1スイッチSW1〜第3スイッチSW3がオフの状態に制御された場合(図4B)では、電圧印加手段M1とM2は接続点JとKに入力端子INの電位と出力端子OUTの電位を印加し、第1スイッチSW1と第3スイッチSW3の両端を同電位に維持する。従って、第1スイッチSW1と第3スイッチSW3にリーク電流が流れることはない。そして、第2スイッチSW2によって入力端子INと出力端子OUTの間は切り離された状態となり、入力端子INに与えられている電圧が出力端子OUTに出力されることはない。

- [0029] スイッチSW4とSW5を抵抗器Rに置き換えたことによる影響は第1スイッチSW1〜第3スイッチSW3がオフの状態に制御された場合(図4B)では、第2スイッチSW2の

両端に、入力端子INと出力端子OUTの間に印加されている電圧(+Vと0)又は(-Vと0)が印加され、この電圧に対応したリーク電流(I1又はI2)が第2スイッチSW2を流れるが、このリーク電流は上述したように電圧印加手段M1とM2を構成する直流増幅器A1とA2の間で授受され、外部に流れ出ることはない。(図4Bに電流経路を図2Aと2Bに準じて記入してあるので参照)

唯一問題なのは、このリーク電流が抵抗器Rを流れ、抵抗器Rにおいて電圧降下が発生する。この電圧降下による影響が考えられる。

- [0030] 然し乍ら、この電圧降下は第2スイッチSW2を流れるリーク電流が微少値であることから、わずかな電圧であるため、そのわずかな電圧が第1スイッチSW1及び第3スイッチSW3の両端に印加されても、これら第1スイッチSW1と第3スイッチSW3に流れるリーク電流は更に小さい値となり、入力端子IN及び出力端子OUTへのその影響は微少である。

#### 実施例 4

- [0031] 図5はこの発明の実施例4を示す。この実施例は、請求項2で提案する半導体スイッチ回路の一例であり、入力端子IN側にリーク電流が流れても許容できる場合の実施例を示す。つまり、この場合には図1Aの構成において、第1スイッチSW1とこれに並列接続した第1電圧印加手段M1を省略し、第2スイッチSW2と第3スイッチSW3を直列接続し、この直列接続回路を入力端子INと出力端子OUTとの間に挿入し、第3スイッチSW3のみに並列に電圧印加手段M2を接続した場合を示す。

この実施例でも、スイッチ制御手段SCONにより第2スイッチSW2と第3スイッチSW3がオン、スイッチSW5がオフの状態に制御された場合では、入力端子INと出力端子OUTとの間が導通し、入力端子INと出力端子OUTは同電位に維持される。このとき、電圧印加手段M2の両端は第3スイッチSW3で短絡されているから、スイッチSW5にリーク電流は流れない。

- [0032] 一方、スイッチ制御手段SCONにより第2スイッチSW2と第3スイッチSW3がオフ、スイッチSW5がオンの状態に制御された場合(図5)には、入力端子INと出力端子OUTの間は開放され、接続点Kは電圧印加手段M2の動作により出力端子OUTの電位が印加される。従って、このとき第2スイッチSW2の両端に、入力端子INと出力

端子OUTとの間に印加されている電圧(+Vと0)又は(-Vと0)が印加され、この電圧によって第2スイッチSW2にリーク電流(I1又はI2)が流れるが、このリーク電流は電圧印加手段M2を構成する直流増幅器A2から出力されるか又は直流増幅器A1に吸引される。従って、このリーク電流は入力端子IN側には流れるが、出力端子OUT側には流れない。(図5に電流経路を図2Aと2Bに準じて記入してあるので参照)

### 実施例 5

- [0033] 図6はこの発明の実施例5を示す。この実施例は請求項2で提案する半導体スイッチ回路の他の一例であり、出力端子OUT側にリーク電流が流れても良い場合の実施例を示す。従ってこの場合には図1Aの構成において、第3スイッチSW3とこれに並列接続した第2電圧印加手段M2を省略し、第1スイッチSW1と第2スイッチSW2を直列接続し、この直列接続回路を入力端子INと出力端子OUTとの間に挿入し、第1スイッチSW1のみに並列に電圧印加手段M1を接続する。

この実施例でも、スイッチ制御手段SCONにより第1スイッチSW1と第2スイッチSW2がオン、スイッチSW4がオフの状態に制御された場合では、入力端子INと出力端子OUTとの間が導通し、入力端子INと出力端子OUTは同一電位に維持される。このとき、電圧印加手段M1の両端は第1スイッチSW1で短絡されているから、スイッチSW4にリーク電流は流れない。

- [0034] 一方、スイッチ制御手段SCONにより第1スイッチSW1と第2スイッチSW2がオフ、スイッチSW4がオンの状態に制御された場合(図6)には、入力端子INと出力端子OUTの間は開放され、接続点Jには電圧印加手段M1の動作により入力端子INの電位が印加される。従って、このとき第2スイッチSW2の両端に、入力端子INと出力端子OUTとの間に印加されている電圧(+Vと0)又は(-Vと0)が印加され、この電圧によって第2スイッチSW2にリーク電流(I1又はI2)が流れるが、このリーク電流は電圧印加手段M1を構成する直流増幅器A1から出力されるか、又は直流増幅器A1に吸引される。従って、このリーク電流は出力端子OUT側には流れるが、入力端子IN側には流れない。(図6に電流経路を図2Aと2Bに準じて記入してあるので参照)

### 産業上の利用可能性

- [0035] 上述した実施例1乃至3で説明した半導体スイッチ回路によれば入力端子INと出

力端子OUTの何れにもリーク電流が流れ出ないから、例えば図7で説明した半導体デバイス試験装置のマトリックス回路用のスイッチSに用いることができる。

また、実施例4及び5で説明した半導体スイッチ回路は、入力端子IN側又は出力端子OUT側の何れか一方でリーク電流が流れることを許容できる装置に適用することができる。

### 請求の範囲

- [1]      入力端子と出力端子との間に挿入され、直列接続された第1半導体スイッチ、第2半導体スイッチ、第3半導体スイッチと、
- 一端が上記入力端子に接続され、他端が第2半導体スイッチの一端に接続された第1半導体スイッチ及び一端が第2半導体スイッチの他端と接続され、他端が上記出力端子に接続された第3半導体スイッチのそれぞれに並列接続された、第1及び第2電圧印加手段と、
- 上記第1半導体スイッチ、第2半導体スイッチ、第3半導体スイッチを連動させてオン及びオフの状態に制御し、同時に逆モードで第1及び第2電圧印加手段を連動させてオフ及びオンの状態に制御するスイッチ制御手段と、
- を具え、
- スイッチ制御手段によって上記第1半導体スイッチ、第2半導体スイッチ、第3半導体スイッチが連動されてオフの状態に制御されたときに、上記第1及び第2電圧印加手段がそれぞれオン状態に制御されて、第1電圧印加手段が入力端子の電位を上記第1半導体スイッチと第2半導体スイッチとの接続点である第1電圧印加点に印加し、第2電圧印加手段が出力端子の電位を上記第2半導体スイッチと第3半導体スイッチとの接続点である第2電圧印加点に印加する、
- ように構成した半導体スイッチ回路。
- [2]      入力端子と出力端子との間に挿入され、互いに直列接続された少なくとも2個の半導体スイッチと、
- 上記2個の半導体スイッチのいずれか一方に並列接続された電圧印加手段と、
- 上記2個の半導体スイッチを連動させてオンの状態とオフの状態に制御し、同時に逆モードで上記電圧印加手段オフ及びオンの状態に制御するスイッチ制御手段と、
- を具え、
- スイッチ制御手段によって上記2個の半導体スイッチが連動されてオフの状態に制御されたときに、上記電圧印加手段が、オン状態に制御されて、当該電圧印加手段が並列接続した一方の半導体スイッチが接続している入力端子又は出力端子の電位を上記2個の半導体スイッチの接続点である電圧印加点に印加する、

ように構成した半導体スイッチ回路。

[3] 上記電圧印加手段は

利得が約+1の状態に設定された直流増幅器と、

この直流増幅器の出力端子と電圧印加点との間に接続され、上記半導体スイッチと逆モードで動作する電圧印加手段用半導体スイッチとによって構成した請求項1又は2記載の半導体スイッチ回路。

[4] 上記電圧印加手段は

利得が約+1の状態に設定された直流増幅器と、

この直流増幅器の出力端子と電圧印加点との間に接続された抵抗器とによって構成した請求項1又は2記載の半導体スイッチ回路。

[5] 上記電圧印加手段は、並列接続された半導体スイッチをダイオードの逆並列接続素子で構成した請求項1又は2記載の半導体スイッチ回路。

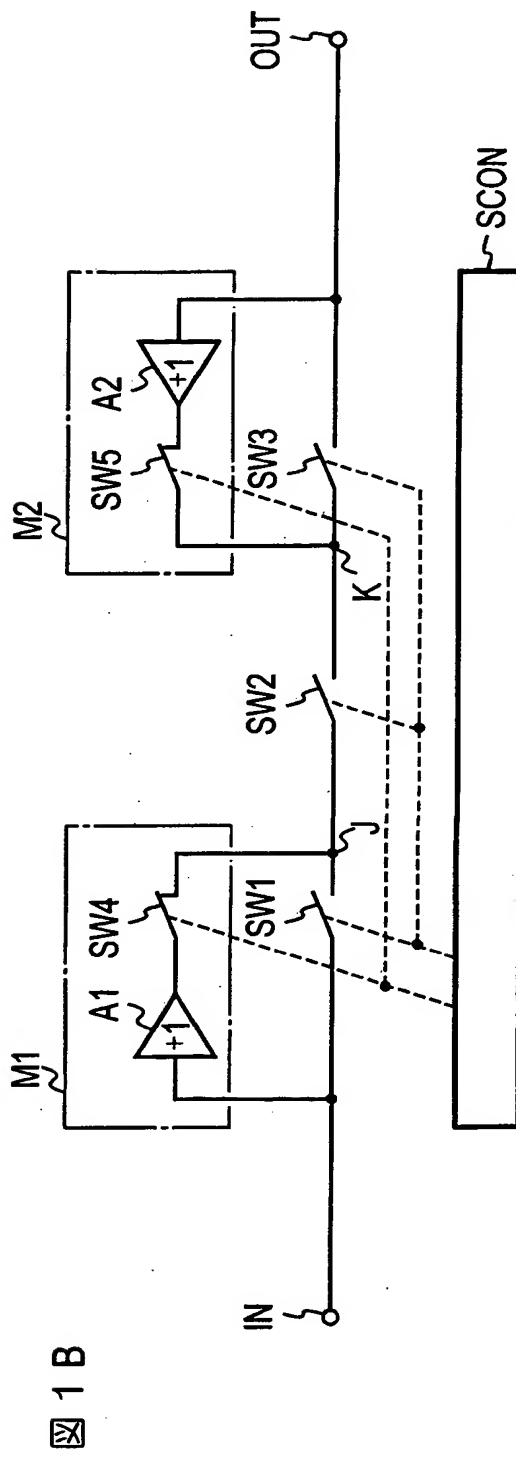
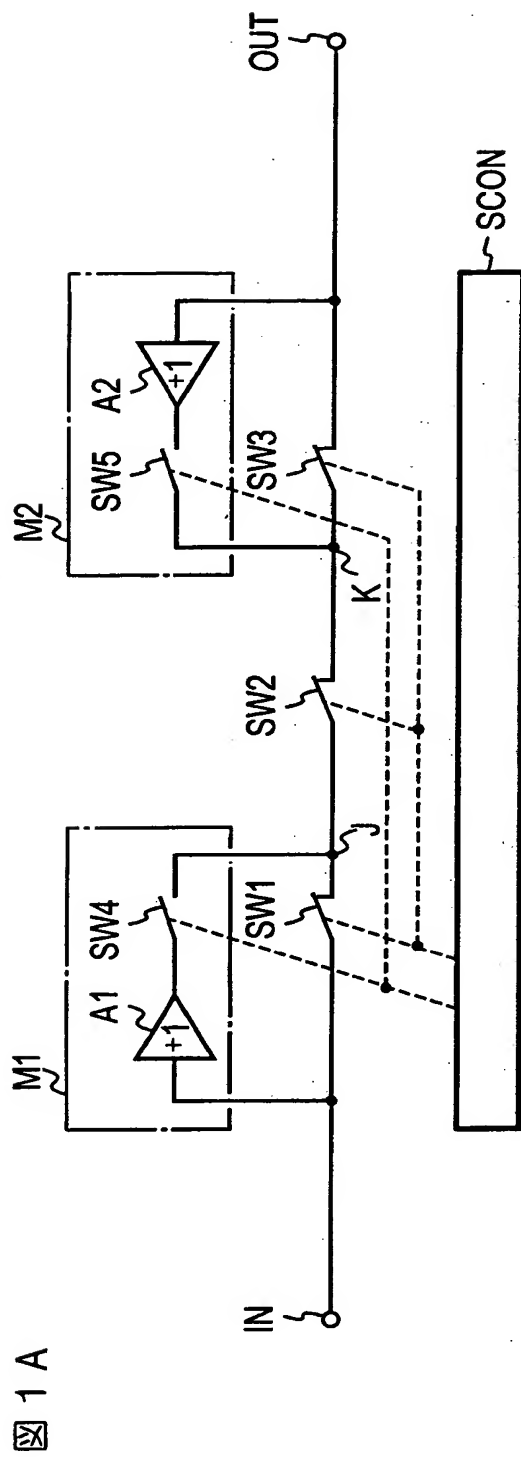
[6] 複数個の入力端子と、

複数個の出力端子と、

これら一方の入力端子と他方の出力端子間にマトリクス状に配置された半導体スイッチとを具え、上記マトリクス状に配置された半導体スイッチとして、請求項1乃至5のいずれかに記載の半導体スイッチを用いて構成したマトリクス回路。

[7] 請求項1乃至5のいずれかに記載の半導体スイッチを用いたマトリクス回路によって複数個の電圧・電流発生器を被試験半導体デバイスの複数個の端子ピンに接続可能に構成した半導体デバイス試験装置。

[図1]



[図2]

図 2 A

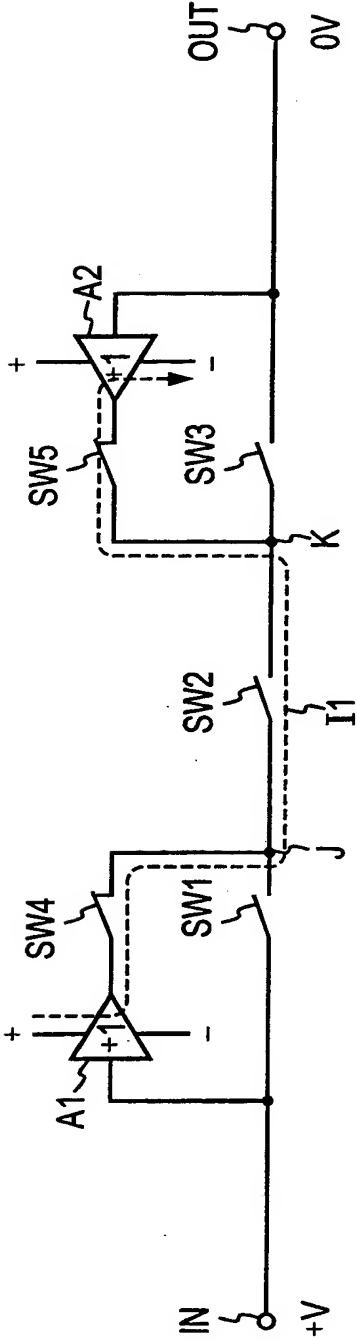
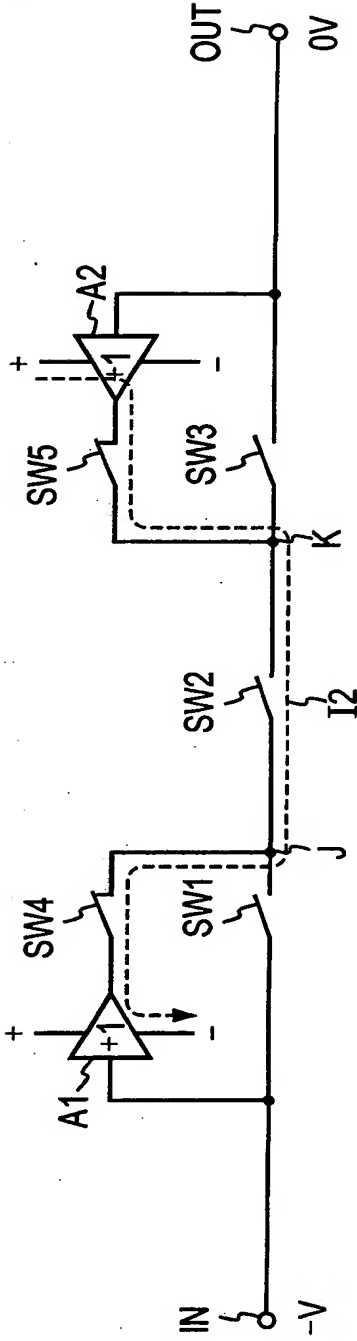
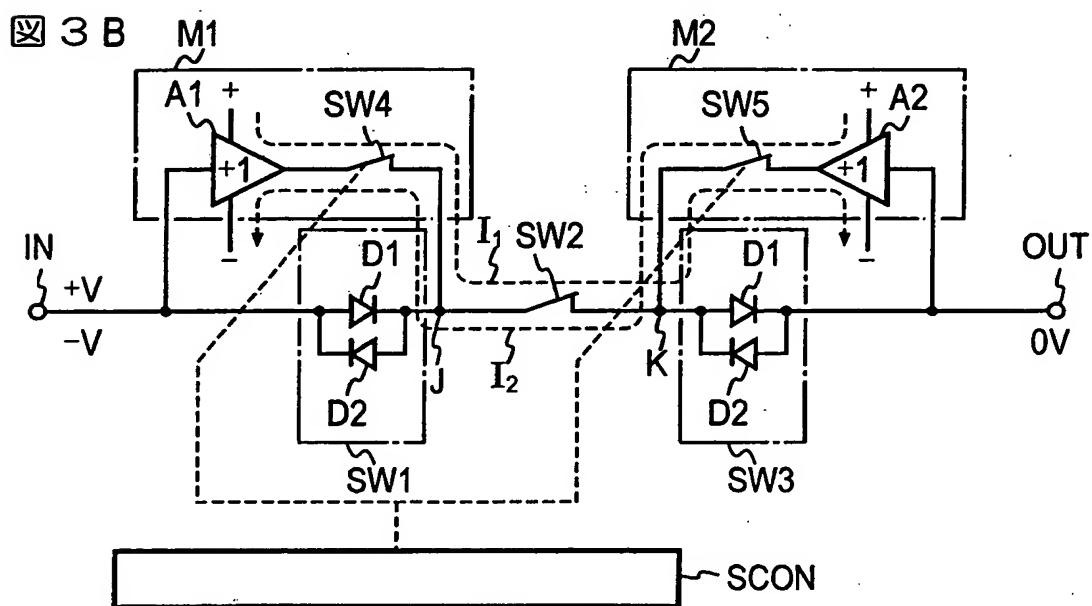
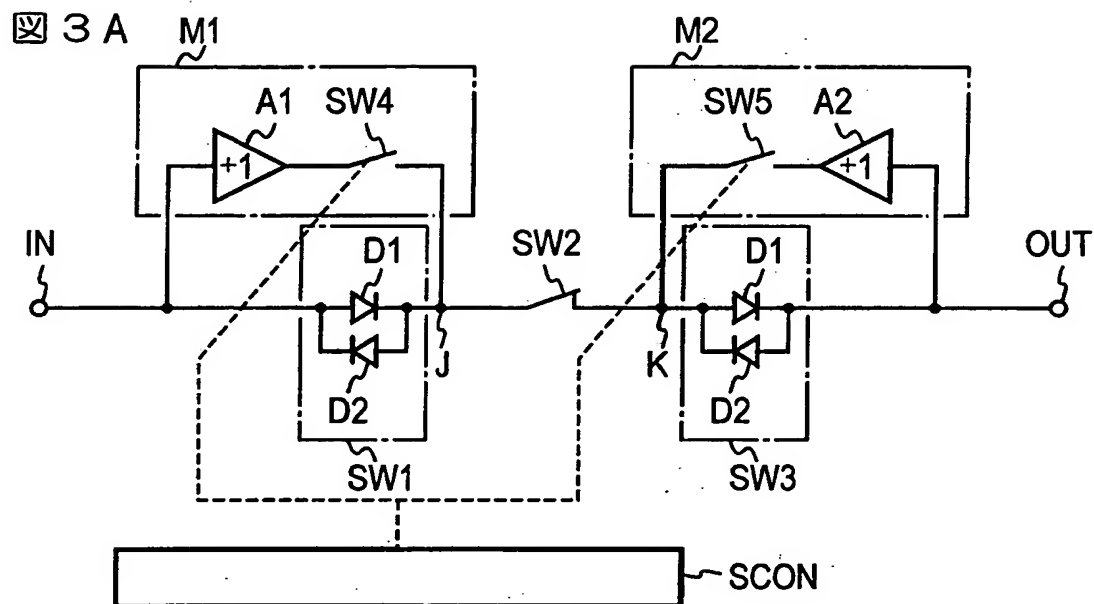


図 2 B





[図3]



[図4]

図 4 A

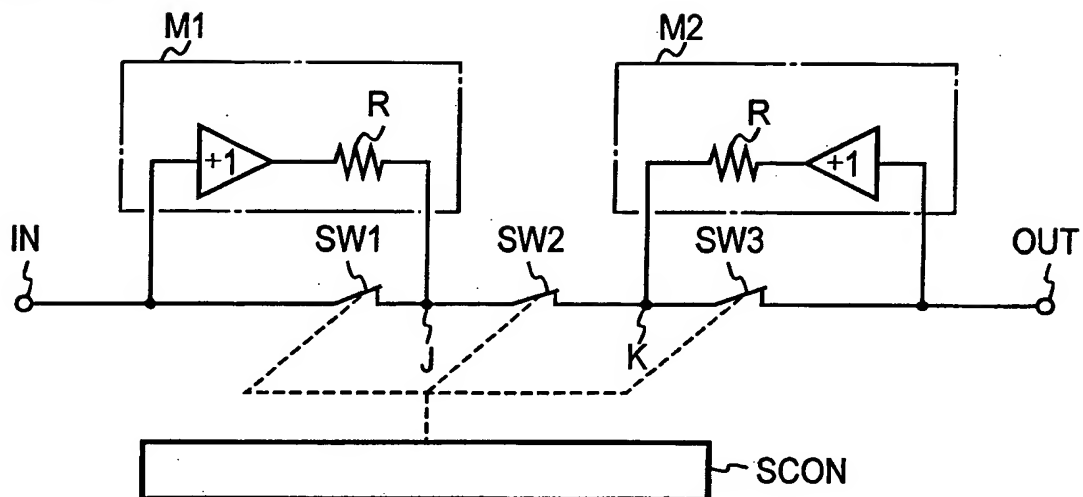
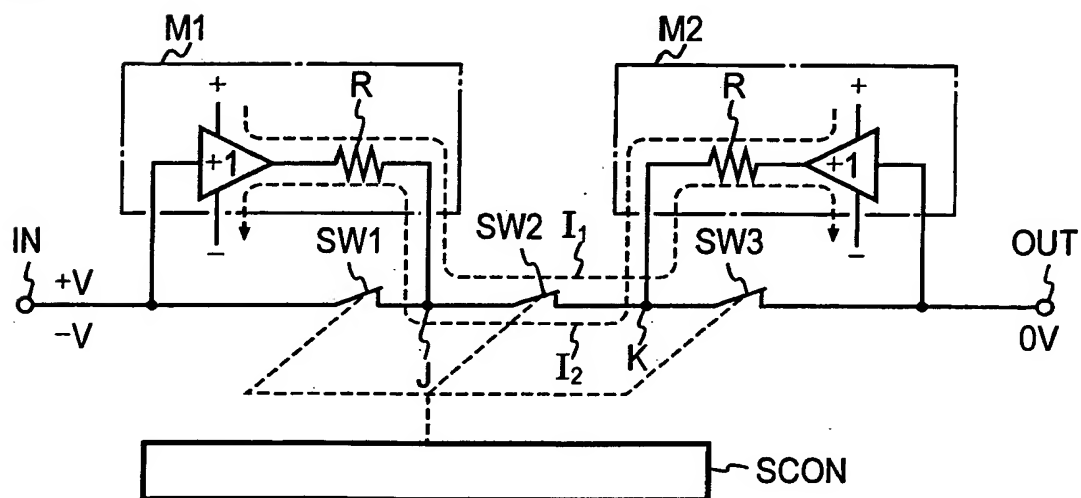
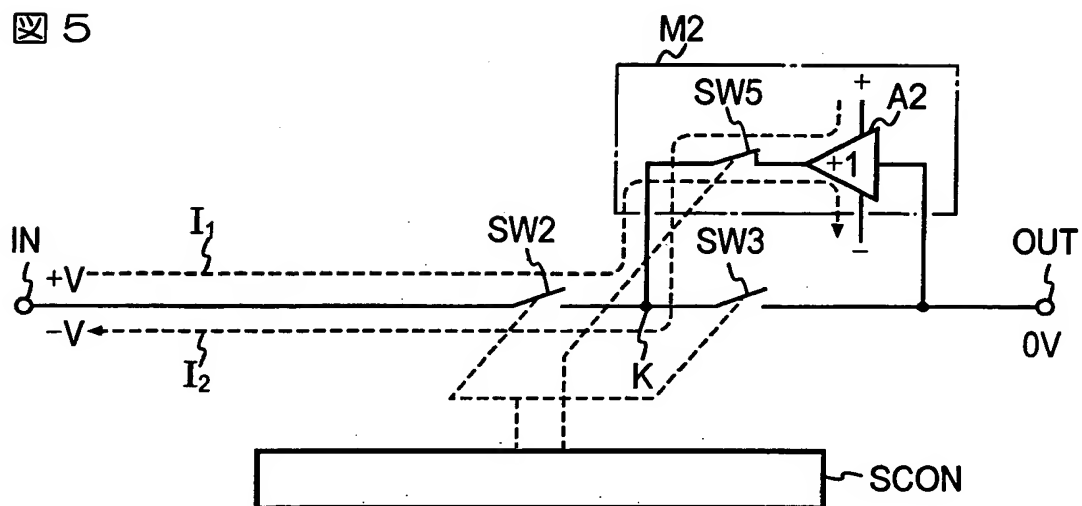


図 4 B



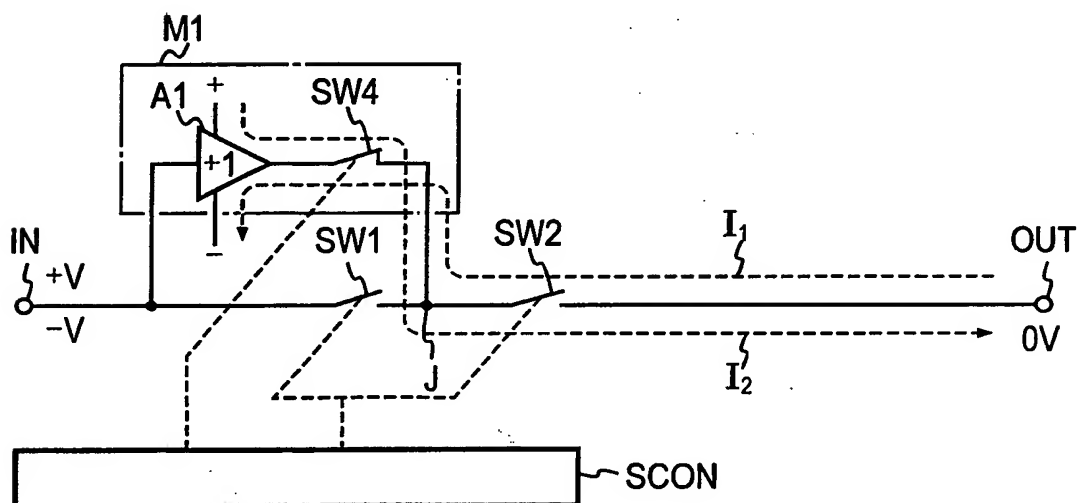
[図5]

图 5

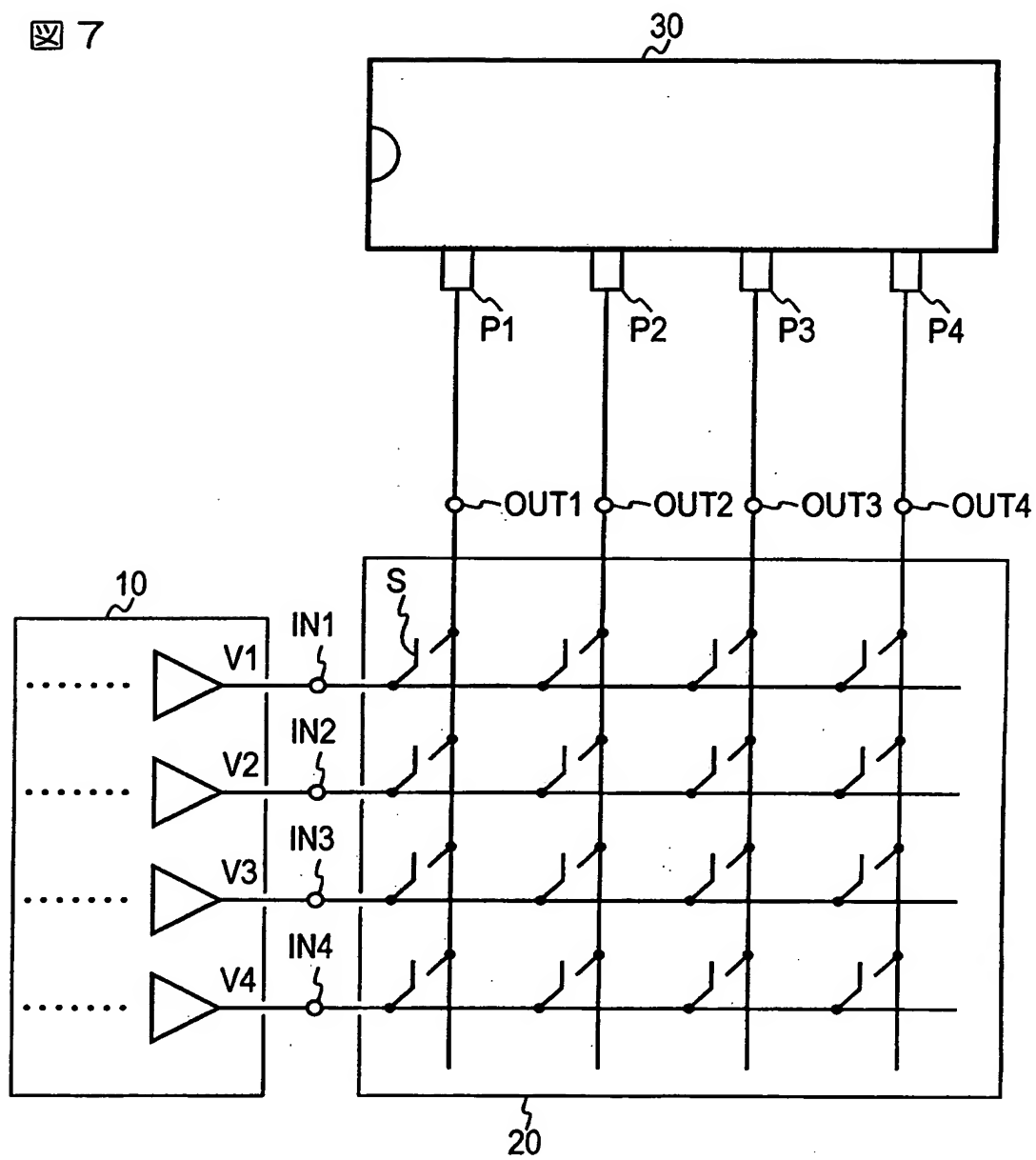


[図6]

图 6



[図7]



[図8]

図 8 A

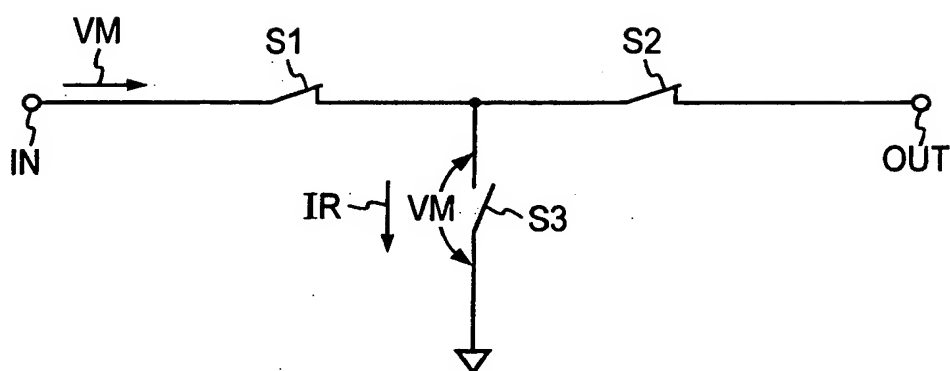
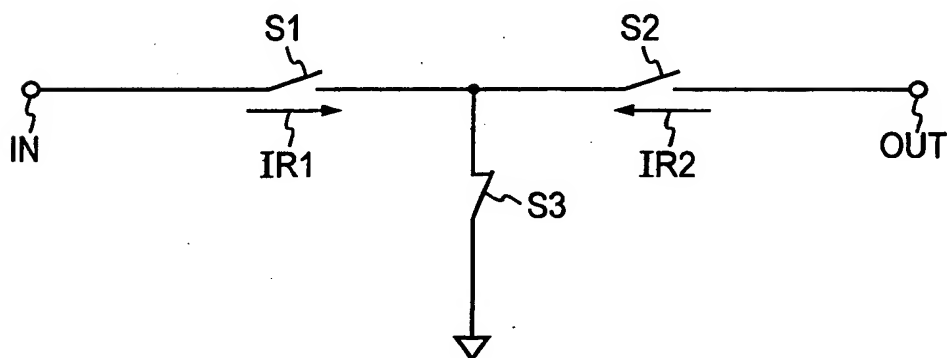


図 8 B



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/013460

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.<sup>7</sup> H03K17/00, G01R31/28, G01R31/26

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H03K17/00-17/70, G01R31/28, G01R31/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 03-029512 A (NEC Kansai, Ltd.), 07 February, 1991 (07.02.91), Page 2, lower right column, lines 11 to 20; page 3, upper right column, lines 4 to 7; Figs. 1, 2 (Family: none)	1-3, 5-7 4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
30 September, 2004 (30.09.04).

Date of mailing of the international search report  
19 October, 2004 (19.10.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/013460

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

(See extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/013460

Continuation of Box No.III of continuation of first sheet(2)

The matter common to the inventions of claims 1-7 relate to a semiconductor switch circuit having a configuration disclosed in claim 2.

However, the search has revealed that the semiconductor switch circuit is not novel since it is disclosed in document JP 03-029512 A (NEC Kansai, Ltd.), 07 February, 1991 (07.02.91), p. 2, lower right column, lines 11-20, Fig. 1.

As a result, the semiconductor switch circuit makes no contribution over the prior art and this common matter (the semiconductor switch circuit) cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence.

Accordingly, there is no matter common to all the inventions of claims 1-8.

Since there exists no other common feature which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 between the different inventions can be seen.

Consequently, it is obvious that the inventions of claims 1-8 do not satisfy the requirement of unity of invention.

It should be noted that the search has revealed that the inventions of claims 1, 3 are also disclosed in the document JP 03-029512 A (NEC Kansai, Ltd.) 07 February, 1991 (07.02.91), p. 3, upper right column, lines 4-7, Fig. 2. Accordingly, these inventions make not contribution over the prior art.

Therefore, claims 1-7 are divided into the following three groups of inventions:

First group: claim 4 and claims 6, 7 referring to claim 4

Second group: claim 5

Third group: claim 3 and claims 1, 2 (involved here for convenience)

This international application includes three groups of inventions in the claims.



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H03K17/00, G01R31/28, G01R31/26

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H03K17/00~17/70, G01R31/28, G01R31/26

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国登録実用新案公報 1994-2004年  
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X  A	JP 03-029512 A (関西日本電気株式会社) . 07. 02. 1991, 第2頁右下欄第11~20行、第3頁右上欄第4~7行、第1、2図 (ファミリーなし)	1-3, 5-7  4

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

30.09.2004

国際調査報告の発送日

19.10.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柳下 勝幸

5X

9561

電話番号 03-3581-1101 内線 3556

## 第Ⅱ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

## 特別ページ参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

請求の範囲1～7に係る発明の共通な事項は、請求の範囲2に記載された構成からなる半導体スイッチ回路である。

しかしながら、調査の結果、この半導体スイッチ回路は、  
文献JP 03-029512 A（関西日本電気株式会社） 07.02.1991, 第2頁  
右下欄第11～20行、第1図

に開示されているから、新規でないことが明かになった。

結果として、上記半導体スイッチ回路は先行技術の域を出ないから、PCT規則13.2  
の第2文の意味において、この共通事項（上記半導体スイッチ回路）は特別な技術的特徴で  
はない。

それ故、請求の範囲1～8に係る発明の全てに共通の事項はない。

PCT規則13.2の第2文の意味において特別な技術的特徴と考えられる他の共通の事  
項は存在しないので、それらの相違する発明の間にPCT規則13の意味における技術的な  
関連を見いだすことはできない。

よって、請求の範囲1～8に係る発明は発明の単一性の要件を満たしていないことが明か  
である。

なお、請求の範囲1、3に係る発明も調査の結果、  
文献JP 03-029512 A（関西日本電気株式会社） 07.02.1991, 第3頁  
右上欄第4～7行、第2図

に開示されており、先行技術の域をでない。

よって、請求の範囲1～7を、

請求の範囲4	と	請求の範囲4を引用する請求の範囲6, 7	からなる発明1
請求の範囲5			からなる発明2
請求の範囲3	と	請求の範囲1, 2（便宜上汲み入れた。）	からなる発明3

と分類し、この国際出願の請求の範囲に記載された発明の数は3個とする。